

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-238138

(43)Date of publication of application : 31.08.2001

(51)Int.CI.

H04N 5/335

(21)Application number : 2000-042193

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 21.02.2000

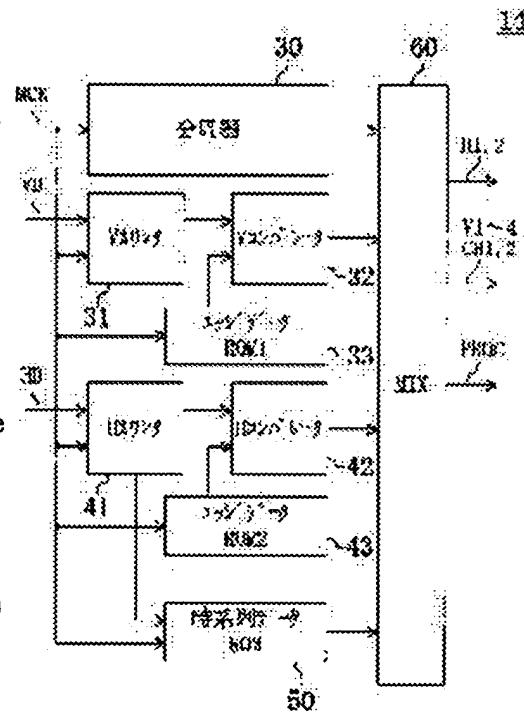
(72)Inventor : TASHIRO SHINICHI
TAKEDA KATSUMI

(54) TIMING GENERATOR FOR SOLID-STATE IMAGING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the quantity of data which is to be stored in a timing generator incorporating a memory for generating a timing pulse used for the driving of a solid-state imaging device.

SOLUTION: V and H counters 31 and 41 for counting the pulses of a vertical synchronizing signal VD and a horizontal synchronizing signal HD as triggers, a ROM 50 for storing time sequential data showing the repetitive pattern of the logic level of an output pulse, ROMs 33 and 43 for storing edge data showing in which count values of the V and H counters 31 and 41 the logic level of a control pulse is to be moved, V and H comparators 32 and 42 for allowing transition of the logic level of the control pulse when the count values of the V and H counters 31 and 41 are coincided with edge data and outputting the result of the logic operation of the output pulse and the control pulse as a timing pulse based on time sequential data and a combination logic circuit 60 are installed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-238138
(P2001-238138A)

(43)公開日 平成13年8月31日 (2001.8.31)

(51)Int.Cl.
H 04 N 5/335

識別記号

F I
H 04 N 5/335

テ-マコト[®] (参考)
Z 5 C 0 2 4
F

審査請求 未請求 請求項の数11 O L (全 10 頁)

(21)出願番号 特願2000-42193(P2000-42193)
(22)出願日 平成12年2月21日 (2000.2.21)

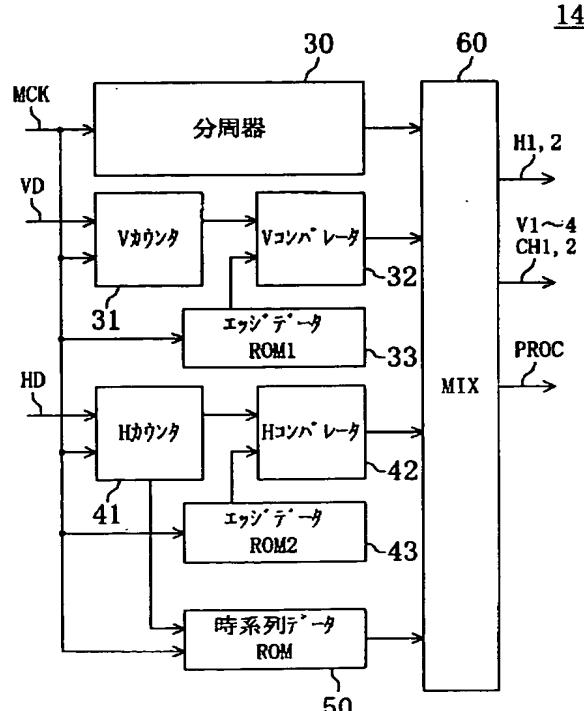
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 田代 信一
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 武田 勝見
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(74)代理人 100077931
弁理士 前田 弘 (外1名)
F ターム(参考) 50024 CY16 DX07 GX03 GY01 HX02
HX15 HX29 HX32 HX59 JX25

(54)【発明の名称】 固体撮像素子のためのタイミングシェネレータ

(57)【要約】

【課題】 固体撮像素子の駆動に用いられるタイミングパルスを生成するためのメモリ内蔵型タイミングジェネレータに格納すべきデータの量を低減する。

【解決手段】 各々垂直同期信号V D及び水平同期信号H Dのパルスをトリガとしてカウント動作を実行するV 及びHカウンタ31, 41と、出力パルスの論理レベルの繰り返しパターンを表す時系列データを格納しておくためのROM50と、V 及びHカウンタ31, 41のカウント値がいくつになった時に制御パルスの論理レベルが遷移すべきかを表すエッジデータを格納しておくためのROM33, 43と、V 及びHカウンタ31, 41のカウント値がエッジデータに一致した時点で制御パルスの論理レベルを遷移させ、かつ時系列データに基づく出力パルスと制御パルスとの論理演算の結果をタイミングパルスとして出力するためのV 及びHコンパレータ32, 42並びに組み合わせ論理回路60とを設ける。



【特許請求の範囲】

【請求項1】 固体撮像素子の駆動に用いられるタイミングパルスを生成するためのタイミングジェネレータであつて、
垂直同期信号の各パルスをトリガとしてカウント動作を実行する第1のカウンタと、
水平同期信号の各パルスをトリガとしてカウント動作を実行する第2のカウンタと、
出力パルスの論理レベルの繰り返しパターンを表す時系列データを格納しておくための時系列データメモリと、前記第1及び第2のカウンタのカウント値がいくつになった時に制御パルスの論理レベルが遷移すべきかを表すエッジデータを格納しておくためのエッジデータメモリと、
前記第1及び第2のカウンタのカウント値が前記エッジデータに一致した時点で前記制御パルスの論理レベルを遷移させ、かつ前記時系列データに基づく出力パルスと前記制御パルスとの論理演算の結果を前記タイミングパルスとして出力するための手段とを備えたことを特徴とするタイミングジェネレータ。

【請求項2】 請求項1記載のタイミングジェネレータにおいて、
前記時系列データメモリは、前記第2のカウンタのカウント値を読み出しアドレスとして受け入れて、前記時系列データに基づく出力パルスを供給する機能を有することを特徴とするタイミングジェネレータ。

【請求項3】 固体撮像素子の駆動に用いられるタイミングパルスを生成するためのタイミングジェネレータと、該タイミングジェネレータに外付けされたメモリとを有するタイミングジェネレータシステムであつて、
前記タイミングジェネレータは、
垂直同期信号の各パルスをトリガとしてカウント動作を実行する第1のカウンタと、
水平同期信号の各パルスをトリガとしてカウント動作を実行する第2のカウンタと、
出力パルスの論理レベルの繰り返しパターンを表す第1の時系列データを格納しておくための時系列データメモリと、

前記第1及び第2のカウンタのカウント値がいくつになった時に制御パルスの論理レベルが遷移すべきかを表す第1のエッジデータを格納しておくためのエッジデータメモリとを備え、
前記外付けメモリは、前記第1の時系列データに代わる第2の時系列データと、前記第1のエッジデータに代わる第2のエッジデータとを格納し、
前記タイミングジェネレータは、
前記第1及び第2の時系列データのうちのいずれかを選択するための手段と、
前記第1及び第2のエッジデータのうちのいずれかを選択するための手段と、
前記第1及び第2のカウンタのカウント値が前記選択さ

前記第1及び第2のカウンタのカウント値が前記選択されたエッジデータに一致した時点で前記制御パルスの論理レベルを遷移させ、かつ前記選択された時系列データに基づく出力パルスと前記制御パルスとの論理演算の結果を前記タイミングパルスとして出力するための手段とを更に備えたことを特徴とするタイミングジェネレータシステム。

【請求項4】 請求項3記載のタイミングジェネレータシステムにおいて、
前記外付けメモリは、シリアルデータ出力のROMであることを特徴とするタイミングジェネレータシステム。

【請求項5】 請求項3記載のタイミングジェネレータシステムにおいて、
前記タイミングジェネレータは、前記外付けメモリから供給された第2の時系列データと第2のエッジデータとを格納するための記憶手段を更に備えたことを特徴とするタイミングジェネレータシステム。

【請求項6】 請求項3記載のタイミングジェネレータシステムにおいて、
前記タイミングジェネレータと前記外付けメモリとの間の信号伝送は、前記システムの電源投入時、又は、前記固体撮像素子より有効な画素信号が出力されていない時にのみ実行されることを特徴とするタイミングジェネレータシステム。

【請求項7】 固体撮像素子の駆動に用いられるタイミングパルスを生成するためのタイミングジェネレータと、該タイミングジェネレータに接続されたコントローラとを有するタイミングジェネレータシステムであつて、

前記タイミングジェネレータは、
垂直同期信号の各パルスをトリガとしてカウント動作を実行する第1のカウンタと、
水平同期信号の各パルスをトリガとしてカウント動作を実行する第2のカウンタと、
出力パルスの論理レベルの繰り返しパターンを表す第1の時系列データを格納しておくための時系列データメモリと、
前記第1及び第2のカウンタのカウント値がいくつになった時に制御パルスの論理レベルが遷移すべきかを表す第1のエッジデータを格納しておくためのエッジデータメモリとを備え、
前記コントローラは、前記第1の時系列データに代わる第2の時系列データと、前記第1のエッジデータに代わる第2のエッジデータとを生成し、
前記タイミングジェネレータは、
前記第1及び第2の時系列データのうちのいずれかを選択するための手段と、
前記第1及び第2のエッジデータのうちのいずれかを選択するための手段と、
前記第1及び第2のカウンタのカウント値が前記選択さ

れたエッジデータに一致した時点で前記制御パルスの論理レベルを遷移させ、かつ前記選択された時系列データに基づく出力パルスと前記制御パルスとの論理演算の結果を前記タイミングパルスとして出力するための手段とを更に備えたことを特徴とするタイミングジェネレータシステム。

【請求項8】 請求項7記載のタイミングジェネレータシステムにおいて、

前記コントローラは、シリアルデータ出力のコンピュータであることを特徴とするタイミングジェネレータシステム。

【請求項9】 請求項7記載のタイミングジェネレータシステムにおいて、

前記タイミングジェネレータは、前記コントローラから供給された第2の時系列データと第2のエッジデータとを格納するための記憶手段を更に備えたことを特徴とするタイミングジェネレータシステム。

【請求項10】 請求項7記載のタイミングジェネレータシステムにおいて、

前記タイミングジェネレータと前記コントローラとの間の信号伝送は、前記システムの電源投入時、又は、前記固体撮像素子より有効な画素信号が出力されていない時にのみ実行されることを特徴とするタイミングジェネレータシステム。

【請求項11】 請求項7記載のタイミングジェネレータシステムにおいて、

前記タイミングジェネレータ中の時系列データメモリとエッジデータメモリとは、前記コントローラを用いて前記タイミングジェネレータで検証されたデータが書き込まれたマスクROMであって、

前記タイミングジェネレータは、前記コントローラから切り離された状態で利用可能であることを特徴とするタイミングジェネレータシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像素子の駆動に用いられるタイミングパルスを生成するためのタイミングジェネレータに関するものである。

【0002】

【従来の技術】CCDなどの固体撮像素子を用いたビデオカメラやディジタルスチルカメラが知られている。これらのカメラの開発期間は短くなり、低価格化も進んでいる。当然、それに使用される部品についても同様の要望が多く、開発期間の短縮とローコスト化が必要となっている。

【0003】タイミングジェネレータは、固体撮像素子の駆動に用いられる多数のタイミングパルスを生成するための重要な部品である。

【0004】特開昭63-61560号公報には、仕様変更に簡単に対処することができるよう、タイミング

パルスのパターンを表す時系列データを格納しておくためのメモリと、このメモリに読み出しアドレスを順次与えるためのカウンタとを備えたタイミングジェネレータが開示されている。

【0005】特開平9-205591号公報には、メモリ容量の削減を目的として、水平方向に繰り返すタイミングパルスと垂直方向に繰り返すタイミングパルスとを各々別個のメモリから得るようにしたタイミングジェネレータが開示されている。

【0006】特開平10-257398号公報には、タイミングパルスをマイクロコンピュータによりプログラマブルに設定できるように、立ち上がりパルスをデコードするためのデコーダと、立ち下がりパルスをデコードするためのデコーダとを備えたタイミングジェネレータが開示されている。

【0007】

【発明が解決しようとする課題】固体撮像素子の駆動に用いられるタイミングパルスは、その数が多く、かつその波形が複雑である。したがって、上記従来のタイミングジェネレータのいずれでも、格納すべきデータ量が大きく、かつデータ設定が煩雑であるという問題があつた。

【0008】本発明の目的は、固体撮像素子の駆動に用いられるタイミングパルスを生成するためのメモリ内蔵型タイミングジェネレータに格納すべきデータの量を低減することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明は、例えれば数種類相関をもって変化するタイミングパルスについては、パルスの繰り返しパターンそのものを時系列データとしてもつ一方、個別に設定する必要があるタイミングパルスについては、立ち上がり・立ち下がりアドレスをエッジデータとしてもつこととしたものである。

【0010】具体的には、本発明は、固体撮像素子の駆動に用いられるタイミングパルスを生成するためのタイミングジェネレータにおいて、垂直同期信号の各パルスをトリガとしてカウント動作を実行する第1のカウンタと、水平同期信号の各パルスをトリガとしてカウント動作を実行する第2のカウンタと、出力パルスの論理レベルの繰り返しパターンを表す時系列データを格納しておくための時系列データメモリと、第1及び第2のカウンタのカウント値がいくつになった時に制御パルスの論理レベルが遷移すべきかを表すエッジデータを格納しておくためのエッジデータメモリと、第1及び第2のカウンタのカウント値が前記エッジデータに一致した時点で前記制御パルスの論理レベルを遷移させ、かつ前記時系列データに基づく出力パルスと前記制御パルスとの論理演算の結果を前記タイミングパルスとして出力するための手段とを備えた構成を採用したものである。

【0011】

【発明の実施の形態】図1は、本発明に係るタイミングジェネレータを用いたCCDカメラの概略構成例を示している。図1において、11は固体撮像素子（例えばCCD）を、12はCDS（相関二重サンプリング）やADC（アナログ・ディジタル変換）の処理を行う前処理LSIを、13は画素補間や輝度・色差処理などを行って映像信号を出力するディジタル信号処理(DSP)LSIを、14は固体撮像素子11の駆動に用いられるタイミングパルスH1, 2、V1～4及びCH1, 2を生成するためのタイミングジェネレータ(TG)LSIを、15はV1～4及びCH1, 2から生成した駆動パルスφV1～4を固体撮像素子11へ供給するためのクロックドライバ(DR)LSIをそれぞれ示す。タイミングジェネレータ14は、ディジタル信号処理LSI13から水平同期信号HD、垂直同期信号VD及びクロック信号MCKの各パルスの供給を受け、上記タイミングパルスH1, 2、V1～4及びCH1, 2を生成するとともに、信号処理パルスPROCを前処理及びディジタル信号処理の各LSI12, 13へ供給するものである。ただし、水平及び垂直同期信号のパルスをタイミングジェネレータ14が生成することもある。本実施例では固体撮像素子11の駆動パルスのみについて述べていくが、本発明は、固体撮像素子11の駆動に用いられるタイミングパルス以外のパルスを生成する場合にも適用可能である。

【0012】図2は、図1中の固体撮像素子11のゲート構成例を示している。図2において、21はフォトダイオード(PD)を、22は4相ゲートGV1, GV2, GV3, GV4からなる垂直転送部を、23は2相ゲートGH1, GH2からなる水平転送部を、24は電荷検出部をそれぞれ示す。図2において、フォトダイオード21と垂直転送部22とは簡略化して図示してあるが、実際の固体撮像素子11では、フォトダイオード21と垂直転送部22との組み合わせが水平画素数分だけ並ぶ。垂直転送部22のゲートは、水平転送部23側からGV3, GV2, GV1, GV4の順番の繰り返しで配列されている。図1中の駆動パルスφV1～4は、それぞれ垂直転送部22のゲートGV1～4に与えられる。また、図1中のタイミングパルスH1, 2は、それぞれ水平転送部23のゲートGH1, 2に与えられる。

【0013】図2の固体撮像素子11の読み出し方法は、次のとおりである。すなわち、垂直転送部22のうちGV1に高電圧（約15V）の駆動パルスφV1を印加することにより、フォトダイオード21から垂直転送部22へ電荷を読み出し、垂直転送部22のGV1からGV4までのゲートに駆動パルスφV1～4を入力することにより、その電荷を1水平走査期間に1回ずつフォトダイオード21の1行分の電荷を同時に水平転送部23へ転送し、水平転送部23にタイミングパルスH1,

2を印加して水平転送部23の電荷を送り、電荷検出部24より信号を出力するのである。

【0014】図3は、図1中のタイミングジェネレータ14の内部構成例を示している。図3のタイミングジェネレータ14は、分周器30と、V及びHカウンタ31, 41と、V及びHコンパレータ32, 42と、第1及び第2のエッジデータROM33, 43と、時系列データROM50と、組み合わせ論理回路(MIX)ブロック60とから構成されている。分周器30は、クロック信号MCKを分周する。Vカウンタ31は、垂直同期信号パルス(VDパルス)をトリガとしてカウント動作を実行する。Hカウンタ41は、水平同期信号パルス(HDパルス)をトリガとしてカウント動作を実行する。V及びHコンパレータ32, 42は、V及びHカウンタ31, 41のカウント値が第1及び第2のエッジデータROM33, 43の格納データと一致したか否かを判定するためのコンパレータである。第1及び第2のエッジデータROM33, 43は、V及びHカウンタ31, 41のカウント値がいくつになった時に制御パルスの論理レベルが遷移すべきかを表すデータを格納しておくためのメモリである。時系列データROM50は、出力パルスの論理レベルの繰り返しパターンを表すデータを格納しておくためのメモリであって、Hカウンタ41のカウント値を読み出しアドレスとして受け入れるものである。MIXブロック60は、分周器30と、V及びHコンパレータ32, 42と、時系列データROM50との各出力を論理演算することにより、V及びHカウンタ31, 41のカウント値が所定のエッジデータに一致した時点で制御パルスの論理レベルを遷移させ、かつ時系列データROM50の格納データに基づく出力パルスと制御パルスとの論理演算の結果をタイミングパルスとして出力するものである。

【0015】図4は、図1中の主要信号の波形例(VDパルス付近)を示している。図4中のV1及びCH1は、タイミングジェネレータ14から出力されるタイミングパルスであって、クロックドライバ15で3値化及び電圧変換されて駆動パルスφV1となる。不図示のV2～4は、クロックドライバ15で電圧変換されてφV2～4となる。

【0016】図5は、図4のうちHDパルスの入力毎に同じ出力をしている部分(走査線番号19及び20)の拡大図を示している。図5のように、HDパルスの入力毎に繰り返し出力するパルスV1～4は、時系列データROM50を利用して生成される。

【0017】図6は、図5中のタイミングT1～5に対応した時系列データROM50の格納データ(パルスV1～4の生成用)の例を示している。

【0018】図7は、図4のうちフォトダイオード21から垂直転送部22に電荷を読み出す部分(走査線番号17及び18)の拡大図を示している。V3Gate及びV

124Gateは、MIXブロック60の中で用いられる制御パルスであって、第1及び第2のエッジデータROM33, 43の格納データからV及びHコンパレータ32, 42により生成される。そして、MIXブロック60は、V3Gateと時系列データROM50の出力であるV3とを論理演算(AND)することで、図7のV3をつくる。V1, 2についても、V124Gateと時系列データROM50の出力であるV1, 2とを論理演算(AND)することで、図7のV1, 2をつくる。V4については、V124Gateの論理反転した信号と時系列データROM50の出力であるV4とを論理演算(OR)することで、図7のV4をつくる。

【0019】以上のとおり、図3の構成によれば、繰り返しが多くかつ複雑なパルスについては、時系列データROM50の格納データを活用し、繰り返しが少ないパルスについては、第1及び第2のエッジデータROM33, 43に格納された立ち上がり／立ち下がりデータを活用することにより、メモリに格納すべきデータ量の増大を避けることができる。

【0020】なお、時系列データROM50の読み出しタイミング(スタート位置、論理変化周期、クロック停止位置など)を第1及び第2のエッジデータROM33, 43で設定すれば、時系列データROM50のデータ量を飛躍的に減らすことができる。

【0021】図8は、図3のタイミングジェネレータ14の変形例を示している。図8のタイミングジェネレータ14は、外付けROM70とともにタイミングジェネレタシステムを構成するものであって、図3の構成にセレクタの機能を有するブロック34, 44, 51と、SPC(シリアル・パラレル変換)の機能を有するブロック65, 66とを附加してなるものである。外付けROM70は、第1及び第2のエッジデータROM33, 43に格納された第1のエッジデータに代わる第2のエッジデータと、時系列データROM50に格納された第1の時系列データに代わる第2の時系列データとを格納しておくための、シリアルデータ出力のメモリである。セレクタ34, 44は第1及び第2のエッジデータのうちのいずれかを、セレクタ51は第1及び第2の時系列データのうちのいずれかをそれぞれ選択する。したがって、V及びHカウンタ31, 41のカウント値が第1又は第2のエッジデータに一致した時点で制御パルスの論理レベルが遷移し、かつ第1又は第2の時系列データに基づく出力パルスと制御パルスとの論理演算の結果がタイミングパルスとして出力されるようになっている。

【0022】図8の構成によれば、タイミングジェネレータ14の完成後も、外付けROM70により固体撮像素子11の駆動タイミングを変更することが可能となる。特に、一部の修正や開発時間が短いときには有益である。しかも、外付けROM70をシリアルデータ出力のROMとすることで、タイミングジェネレータ14の

端子数をあまり増やさずに実現可能である。

【0023】なお、外付けROM70の格納データをタイミングジェネレータ14へ転送する場合、これを読み出すためのアドレス線やクロック線、アドレスに応じたデータによる入出力バッファの論理変化に伴い電流が流れれる。これが、固体撮像素子11から画素信号が出力されるタイミングと同時に発生すると、H1, 2や前処理LSI12のためのパルスを通してノイズとなる。これを避けるために、タイミングジェネレータ14と外付けROM70との間の信号伝送は、システムの電源投入時、又は、固体撮像素子11より有効な画素信号が出力されない、水平・垂直同期信号直後のブランкиング期間などに実行される。

【0024】図9は、図3のタイミングジェネレータ14の他の変形例を示している。図9のタイミングジェネレータ14は、外付けROM70及びパソコンコンピュータ(PC)100とともにタイミングジェネレータシステムを構成するものであって、分周器30と、V及びHカウンタ31, 41と、V及びHコンパレータ32, 42と、エッジデータROM81と、アドレスカウンタ91と、時系列データROM92と、セレクタ+SPCの機能を有するブロック82, 93と、セレクタの機能を有するブロック83と、エッジデータRAM84と、時系列データRAM94と、セレクタ+ラッチの機能を有するブロック95と、MIXブロック60と、遅延調整ブロック96とから構成されている。外付けROM70は、エッジデータROM81に格納された第1のエッジデータに代わる第2のエッジデータと、時系列データROM92に格納された第1の時系列データに代わる第2の時系列データとを格納しておくための、シリアルデータ出力のメモリである。PC100は、エッジデータROM81に格納された第1のエッジデータに代わる第3のエッジデータと、時系列データROM92に格納された第1の時系列データに代わる第3の時系列データとを生成するための、シリアルデータ出力のコンピュータであって、電圧変換ブロック101を介してタイミングジェネレータ14及び外付けROM70に接続されている。セレクタ82, 83は第1～第3のエッジデータのうちのいずれかを、セレクタ93, 95は第1～第3の時系列データのうちのいずれかをそれぞれ選択する。したがって、V及びHカウンタ31, 41のカウント値が第1～第3のエッジデータのいずれかに一致した時点で制御パルスの論理レベルが遷移し、かつ第1～第3の時系列データのいずれかに基づく出力パルスと制御パルスとの論理演算の結果がタイミングパルスとして出力されるようになっている。なお、エッジデータRAM84は第1～第3のエッジデータのいずれかを格納するためのRAMであり、時系列データRAM94は第2又は第3の時系列データを格納するためのRAMである。ラッチ95は、第1～第3の時系列データのいずれかを

格納するようになっている。

【0025】図9の構成によれば、タイミングジェネレータ14の完成後も、外付けROM70及びPC100のいずれでも固体撮像素子11の駆動タイミングを変更することが可能となる。特に、一部の修正や開発時間が短いときには有益である。ただし、外付けROM70を省略してもよい。

【0026】また、PC100からタイミングジェネレータ14に所要のデータを設定することで、固体撮像素子11の駆動タイミング変更時に逐一ROMデータを介して設定することがなくなるため、タイミングジェネレータ14の設計時間や手間を省くことが可能となる。しかも、PC100をシリアルデータ出力のコンピュータとすることで、タイミングジェネレータ14の端子数をあまり増やさずに実現可能である。

【0027】更に、外付けROM70やPC100からタイミングジェネレータ14への入力部分に、RAMやラッチなどのデータの書き換えが可能で、かつ読み出しが速い記憶手段を用いることで、データのシリアル転送を採用しているものの、一旦データをタイミングジェネレータ14に転送してしまえば、その後はリアルタイムでの評価・検証が可能となる。

【0028】なお、タイミングジェネレータ14とPC100との間の信号伝送は、タイミングジェネレータ14と外付けROM70との間の信号伝送の場合と同様に、ノイズ防止のために、システムの電源投入時、又は、固体撮像素子11より有効な画素信号が出力されない、水平・垂直同期信号直後のブランкиング期間などに実行される。

【0029】さて、図9中のエッジデータROM81及び時系列データROM92には、マスクROMを採用することができる。マスクROMは、アルミやポリシリコンなどの半導体の配線材料やその材料間を接続するコンタクトと呼ばれるマスクを用いてROMデータの論理を決定するものである。図9のシステムによれば、PC100を用いてタイミングジェネレータ14の動作検証を行い、その結果得られたROMデータマップ（「0」、「1」で記述されている。）をPC100でマスクデータに自動変換し、このマスクデータを使ってエッジデータROM81及び時系列データROM92の書き込みデータを決定することができる。このようにしてROM格納データが決定されたタイミングジェネレータ14は、PC100から切り離された状態でも利用可能である。これにより、人手を介さずにタイミングジェネレータ14のマスクを変更できるため、データ変換に時間がかかりず、データの入力ミスがなくなる。したがって、タイミングジェネレータ14の設計時間・試作時間とも短縮することが可能となる。

【0030】

【発明の効果】以上説明してきたとおり、本発明によれ

ば、例えば数種類相関をもって変化するタイミングパルスについては、パルスの繰り返しパターンそのものを時系列データとしてもつ一方、個別に設定する必要があるタイミングパルスについては、立ち上がり・立ち下がりアドレスをエッジデータとしてもつこととしたので、タイミングジェネレータに格納すべきデータの量を低減することができる。

【図面の簡単な説明】

【図1】本発明に係るタイミングジェネレータを用いたCCDカメラの概略構成例を示すブロック図である。

【図2】図1中の固体撮像素子（CCD）のゲート構成例を示す概念図である。

【図3】図1中のタイミングジェネレータの内部構成例を示すブロック図である。

【図4】図1中の主要信号の波形例を示すタイミングチャート図である。

【図5】図3のタイミングジェネレータの動作を説明するためのタイミングチャート図である。

【図6】図3中の時系列データROMの格納データの一例を示す説明図である。

【図7】図3のタイミングジェネレータの他の動作を説明するためのタイミングチャート図である。

【図8】図3のタイミングジェネレータの変形例を示すブロック図である。

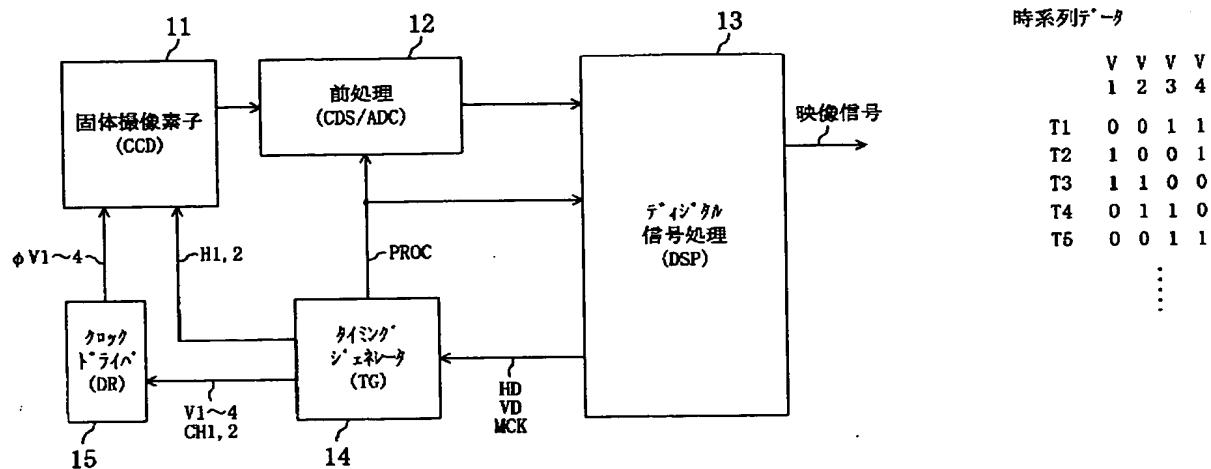
【図9】図3のタイミングジェネレータの他の変形例を示すブロック図である。

【符号の説明】

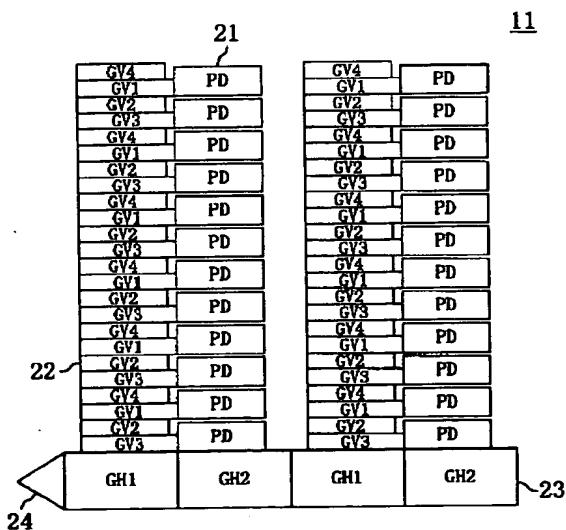
- 1 1 固体撮像素子（CCD）
- 1 2 前処理（CDS/ADC）LSI
- 1 3 ディジタル信号処理（DSP）LSI
- 1 4 タイミングジェネレータ（TG）LSI
- 1 5 クロックドライバ（DR）LSI
- 2 1 フォトダイオード（PD）
- 2 2 垂直転送部
- 2 3 水平転送部
- 2 4 電荷検出部
- 3 0 分周器
- 3 1 Vカウンタ
- 3 2 Vコンパレータ
- 3 3 第1のエッジデータROM
- 4 1 Hカウンタ
- 4 2 Hコンパレータ
- 4 3 第2のエッジデータROM
- 5 0 時系列データROM
- 6 0 組み合わせ論理回路（MIX）ブロック
- 7 0 外付けROM
- 8 1 エッジデータROM
- 8 4 エッジデータRAM
- 9 2 時系列データROM
- 9 4 時系列データRAM

100 パーソナルコンピュータ (PC)

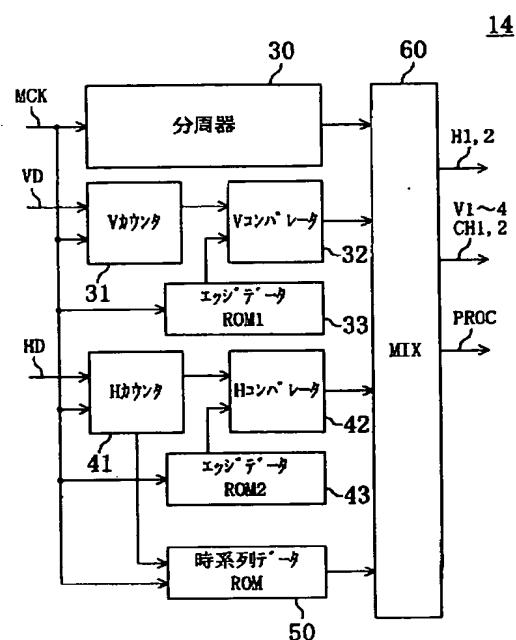
【図1】



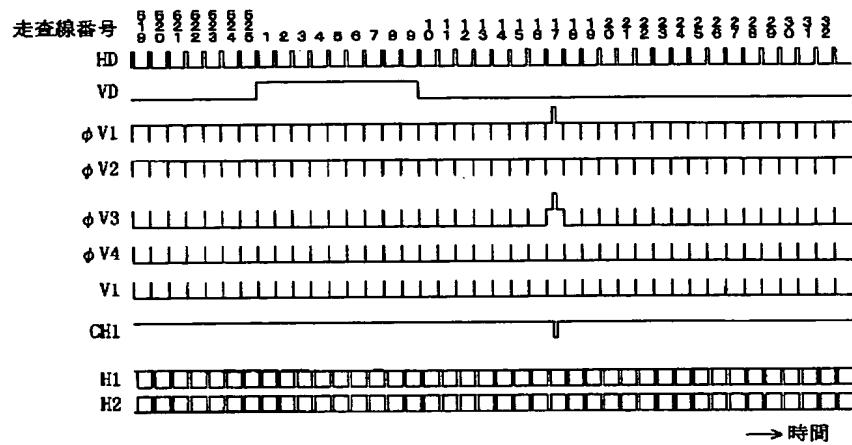
【図2】



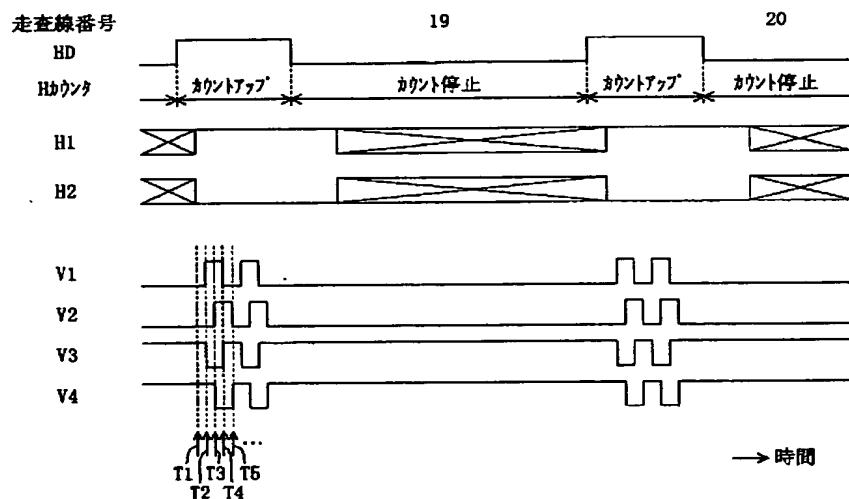
【図3】



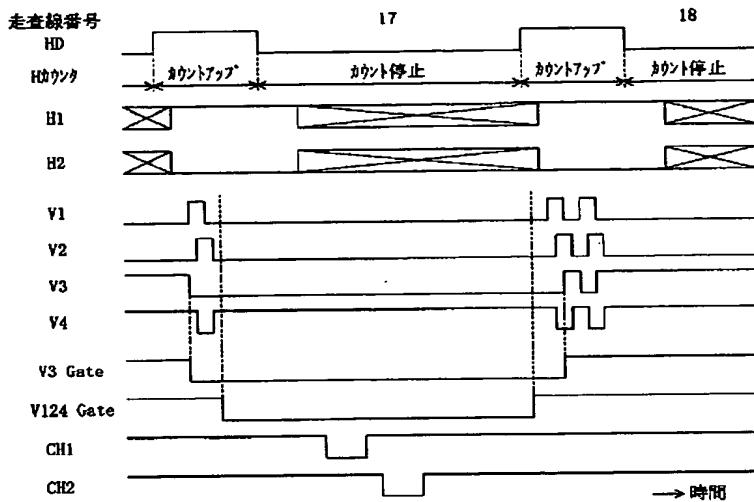
【図4】



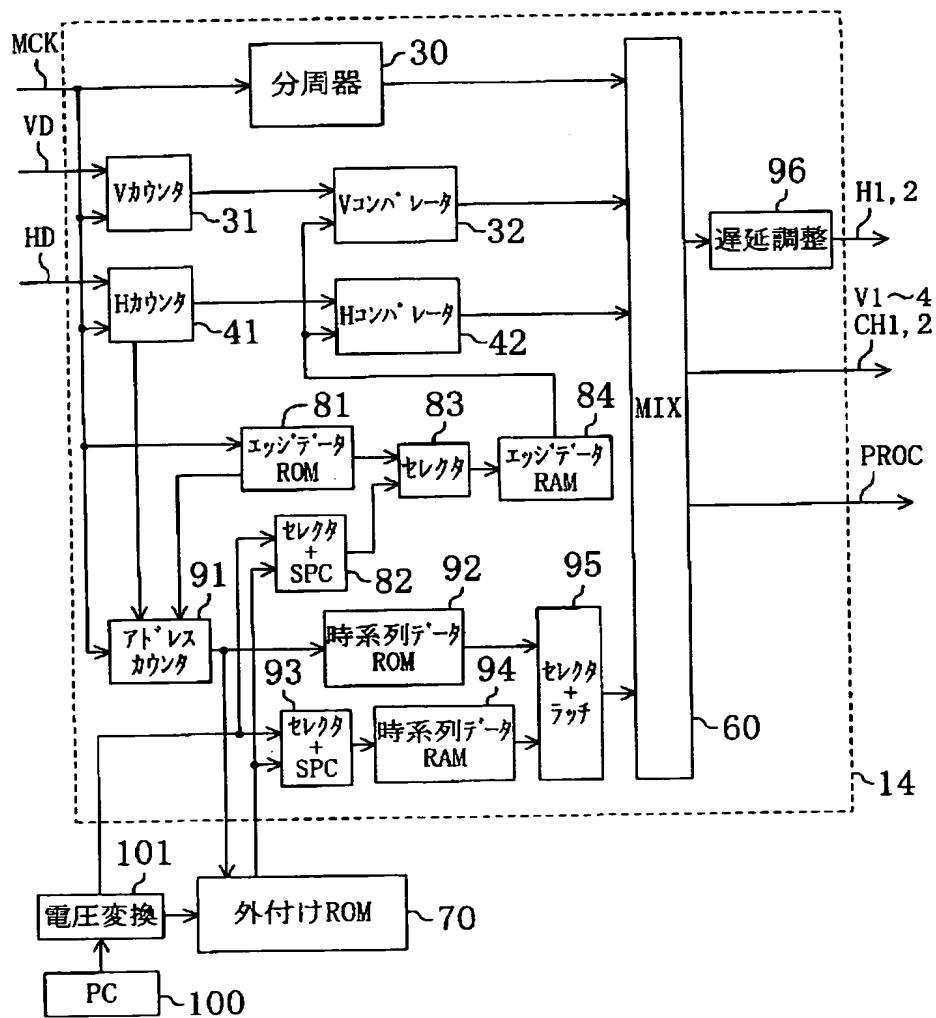
【図5】



【図7】



【図9】



【図8】

